

⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特 許 公 報 (B2)

平5-60197

⑬ Int. Cl.⁹

G 11 C 8/00
7/00
17/00

識別記号

3 1 4
3 1 1 C
E

庁内整理番号

7323-5L
7323-5L
6628-5L

⑭公告 平成5年(1993)9月1日

発明の数 1 (全22頁)

⑮発明の名称 半導体記憶装置

審 判 平4-10596

⑯特 願 昭57-97826

⑰公 開 昭58-215797

⑱出 願 昭57(1982)6月9日

⑲昭58(1983)12月15日

⑳発 明 者 篠 田 孝 司 東京都小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

㉑発 明 者 酒 井 菊 雄 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

㉒発 明 者 尾 方 真 弘 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

㉓発 明 者 大 西 良 明 東京都小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

㉔発 明 者 川 本 洋 東京都小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

㉕出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉖出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町5丁目22番1号

㉗代 理 人 弁理士 小川 勝男 外1名

審判の合議体 審判長 本多 弘徳 審判官 萩 果 誠 審判官 徳 永 民雄

㉘参考文献 特開 昭47-17343 (JP, A) 特開 昭53-13323 (JP, A)

特開 昭55-125597 (JP, A) 特開 昭53-143134 (JP, A)

1

2

㉙特許請求の範囲

1 外部からのアドレス信号を受けるアドレス端子と、外部へデータを出力するためのD個のデータ出力端子(Dは整数、 $D>1$)と、ROMメモリアレイと、ECC回路と、センスアンプと、デ

コードとを含む半導体記憶装置において、
上記ECC回路は上記メモリアレイからのmビット(mは整数でDの倍数、倍数は2以上)のデータ信号と該mビットのデータ信号の対応したnビット(nは整数、 $n>1$)のパリティ信号とを
受けて、少なくとも上記データ出力端子数よりも多いデータの誤り訂正を行なうように構成されており、上記ECC回路からの誤り訂正されたmビットのデータをメモリセルを選択しないアドレス

信号に基づき、Dビットごとに複数回にわたって順次に出力するマルチプレクサと、該マルチプレクサの出力信号を受けて、データを出力する出力バッファとを有することを特徴とする半導体記憶装置。

2 上記メモリアレイはダイナミック型メモリアレイで構成されることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3 上記半導体記憶装置はCMOS回路によつて構成されるものであることを特徴とする特許請求の範囲第1項乃至第2項のうち1つに記載の半導体記憶装置。

発明の詳細な説明

この発明は、半導体記憶装置に関する。

従来より、情報理論の1つとして、誤り訂正コード (Error Correcting Code) を用いてデータの誤まりを訂正する回路 (以下、ECC回路と称する) が公知である。

本願発明者は、この発明に先き立つて1チップの半導体記憶装置にECC回路を内蔵させて、欠陥メモリセルを救済して、その歩留の向上を図ることを考えた。この場合、1ビット誤り訂正機能を持つECC回路では、例えば、8ビットのデータに対して4ビットのパリティが必要になり、32ビットのデータに対して6ビットのパリティが必要になり、100ビットのデータに対して8ビットのパリティが必要になる。このように、データのビット数が少ないとパリティビット数の全体に占める割合が多くなってメモリアレイの、実質的な記憶容量が小さくなってしまふ。一方、データビット数を多くすると、データ出力のために多数の外部端子が必要になるので、半導体記憶装置では、上記ECC回路を内蔵させることが不可能になる。

したがって、この発明の目的は、実質的な記憶容量を大きくしつつ、外部端子数を少なくしたECC回路内蔵の半導体記憶装置を提供することにある。

この発明の他の目的は、以下の説明及び図面から明らかになるであろう。

以下、この発明を実施例とともに詳細に説明する。

第1A図には、この発明をマスク型ROMに適用した場合の一実施例のブロック図が示されている。

同図では、特に制限されないが、約1メガビットのメモリセルをそれぞれ512列 (ロウ) × 608行 (カラム) = 311296ビットの記憶容量を持つメモリアレイ (M-ARY₁ないしM-ARY₄) に分けて配置したマスク型ROMの回路構成図を示している。この図における主要なブロックは、実際の幾何学的配置に合せて描かれている。また、各ブロックは、それぞれ公知の半導体集積回路技術によつて1個の半導体基板上に形成されたMOSFETにより構成されている。

各メモリアレイM-ARY₁ないしM-ARY₄は、ダイナミック型回路により構成され、読出し基準電圧を形成するためのダミーアレイを含んでいる。

外部からのアドレス信号A₀ないしA₁₆を受けるアドレスバッファADBは、スタティック型回路により構成され、一方において、アドレスデコードに伝える内部相補アドレス信号a₀、 $\overline{a_0}$ ないしa₁₆、 $\overline{a_{16}}$ を形成する。なお、特に制限されないが外部からのチップ選択信号CEにより、上記アドレス信号A₀ないしA₁₆の受け付けが行なわれる。

上記相補アドレス信号a₀、 $\overline{a_0}$ ないしa₁₆、 $\overline{a_{16}}$ のうち、アドレス信号a₀、 $\overline{a_0}$ ないしa₂、 $\overline{a_2}$ がXデコードDCR₁、DCR₂に伝えられる。また、残りのアドレス信号a₁₀、 $\overline{a_{10}}$ ないしa₁₆、 $\overline{a_{16}}$ がYデコードY₁DCR、Y₂DCRに伝えられる。

特に制限されないが、上記アドレスデコードXDCR₁ないしY₂DCRは、スタティック型回路により構成されている。

上記メモリアレイM-ARY₁ないしM-ARY₄のロウ系アドレス選択線 (ワード線) には、上記アドレス信号a₀、 $\overline{a_0}$ ないしa₂、 $\overline{a_2}$ を受けるXアドレスデコード (兼ワード線ドライバ) XDCR₁、XDCR₂で形成された2¹⁰=1024通りのワード線選択信号が印加される。このうち、XDCR₁で形成される512通りのワード線選択信号は、左側のメモリアレイM-ARY₁、M-ARY₂における512本のワード線W₀~W₅₁₁にそれぞれ印加される。一方、XDCR₂で形成される残り512通りのワード線選択信号は、右側のメモリアレイM-ARY₃、M-ARY₄における512本のワード線W₅₁₂~W₁₀₂₃にそれぞれ印加される。

また、上記XDCR₁、XDCR₂は、最上位ビットのアドレス信号a₁₆、 $\overline{a_{16}}$ に基づいて、上記左側のメモリアレイM-ARY₁、M-ARY₂のメモリセルを選ぶときには、右側のダミーアレイを選び、逆に右側のメモリアレイM-ARY₃、M-ARY₄のメモリセルを選ぶときには、左側のダミーアレイを選ぶダミーワード線選択信号も形成する。

Y₁デコードY₁DCRは、残りのアドレス信号のうち5ビットのアドレス信号a₁₀、 $\overline{a_{10}}$ ないしa₁₆、 $\overline{a_{16}}$ を受けて、32通りのデコード出力信号を形成する。上述のように各メモリアレイM-ARY₁ないしM-ARY₄は、それぞれ608行あることより、1つのデコード出力信号によつて同時に19本の行が選択されるように、カラムスイッチCW₁ないしCW₄を制御する。これにより、カラムスイッチCW₁、CW₂は、左側のメモリアレイM-

ARY₁, M-ARY₂における合計38個のメモリセル（又はダミーセル）からの信号を伝え、カラムスイッチCW₃, CW₄は、右側のメモリアレイM-ARY₃, M-ARY₄における合計38個のダミーセル（又メモリセル）からの信号を伝える。

上記カラムスイッチCW₃ないしCW₄からの信号を受けるセンスアンプSAは、合計38個のダイナミック型差動増幅回路により構成されている。

上記ワード線選択により、例えば左側のメモリアレイから情報の読出しを行なう時には、上記差動増幅回路は、右側のメモリアレイのダミーセルからの読出基準電と、左側のメモリアレイのメモリセルからの信号を受け、その信号が“1”か“0”かの判定を行なう。

上記ダイナミック型のROMアレイ及びセンスアンプの動作に必要なクロック、例えば、プリチャージ、デイスチャージのためのタイミング信号等を形成するために、上記アドレスバッファADBからのアドレス信号を受けるエッジトリガと、タイミング発生回路とが設けられている。上記エッジトリガは、上記アドレス信号a₀ないしa₁₄及びチップ選択信号CEのいずれかのレベル変化を検出して、1つのトリガパルスを形成する。タイミング発生回路は、上記トリガパルスを受けて、メモリアレイ及びセンスアンプSAの読出し動作に必要な各種タイミング信号を形成する。同図では、そのうち、メモリアレイ及びセンスアンプのプリチャージ及びデイスチャージを制御するタイミング信号φ_{pc}と、ワード線選択タイミングを規定するタイミング信号φ_x及びセンスアンプSAの活性化タイミングを規定するタイミング信号φ_{sa}が代表として示されている。

上記1つのXデコード出力（ワード線選択）信号と1つのYデコード出力（カラム選択）信号とにより定された38個のメモリセルから読み出された情報は、上記センスアンプSAを通して同時に誤り訂正回路（以下、ECC回路と称する）に入力され、ここで誤り訂正が行なわれる。これらの38ビットの読出し情報のうち、32ビットの情報がデータ信号とされ、残り6ビットの情報が冗長（パリティ）信号とされている。

上記のROMは、特に制限されないが、1文字が32×32ドットで構成される漢字パターン発生回路として用いられる。したがって、上記ROMに

は、1024文字を記憶させることができる。

上記ECC回路は、特に制限されないが、スタティック型回路により構成されている。したがって、特に制限されないが、上記センスアンプSAには、上記ダイナミック型差動回路の出力信号を受け、スタティックな出力信号を形成するメインアンプを兼ねたラッチ回路が設けられている。

上記ECC回路によって誤り訂正された32ビットのデータ信号は、マルチプレクサによつて8ビットずつ4回にわたつて出力バッファに伝えられ、全ビットが出力される。このような時刻動作のために、残りのアドレス信号a₁₅, a₁₆の2ビットが用いられる。すなわち、上記アドレス信号a₁₅, a₁₆及びa₁₆, a₁₅を受けるY₂デコードY₂DCRによつて、4通りの制御信号を形成して、これらのアドレス信号の変化に従つてマルチプレクサから4回に分けて8ビットずつ並列に出力させることができる。

上記出力バッファは、スタティック型回路により構成され、特に制限されないが、高出力インピーダンス状態を含む3状態出力機能を持っている。

以下、上記主要な各回路ブロックをより具体的な実施例とともに詳細に説明する。

第1B図には、上記エッジトリガと、タイミング発生回路の一実施例を示すブロック図が示されている。

上記アドレスバッファADBからのアドレス信号a₀ないしa₁₄は、遅延回路Delay₀ないしDelay₁₄に入力され、その出力に遅延回路a₀'ないしa₁₄'が形成される。そして、上記遅延回路Delay₀ないしDelay₁₄の入力信号a₀ないしa₁₄と、その遅延出力信号a₀'ないしa₁₄'とは、それぞれ排他的論理和回路EX₀ないしEX₁₄に入力される。上記排他的論理和回路EX₀ないしEX₁₄の出力は、OR回路に伝えられ、ここでエッジトリガパルスφ_{pe}が形成される。

上記排他的論理和回路EX₀は、第1C図に示すように、アドレス信号a₀が変化したときに、その入力信号a₀, a₀'において、遅延時間に両者のレベル不一致が生じるので、その出力に遅延時間に見合ったパルス幅のパルスを形成する。したがって、上記OR回路からは、上記アドレス信号a₀ないしa₁₄のうち、いずれかが変化したときに、エ

ツジトリガパルス ϕ_{apd} が出力されることになる。

上記アドレス信号 $A_0 \sim A_{14}$ のいずれかが、いつ変化しても上記エツジトリガパルス ϕ_{apd} が形成されるようにするために、言い換えるならばアドレス信号 $A_0 \sim A_{14}$ が非同期的に変化しても、上記エツジトリガパルス ϕ_{apd} が形成されるようにするために、上記アドレスバッファ回路ADBは、スタティック型回路で構成されている。特に制限されないが、この実施例では、Pチャンネル型MOSFETとNチャンネル型MOSFETで構成されたCMOS(相補型MOS)回路でアドレスバッファ回路が構成されている。CMOS回路で構成されたスタティック型のアドレスバッファ回路の実施例を第1E図に示す。同図には、アドレス信号 A_0 を受けて、相補的なアドレス信号 a_0 、 \bar{a}_0 を形成する部分のみが示されているが、他のアドレス信号に対しても同様な回路が設けられている。

なお、以下の説明では、図面を簡単にするために、回路記号は、第2B図に示すような使い方をする。すなわち、第2B図において、Pの添字を付した回路記号がPチャンネル型MOSFETを、Nの添字を付した回路記号がNチャンネル型MOSFETを、そしてX印をした回路記号が、高い値電圧で、常にオフ状態となるNチャンネル型MOSFETをそれぞれ示している。例えば、第1E図において、 Q_{100} はPチャンネル型MOSFETをしており、 Q_{101} はNチャンネル型MOSFETを示している。

従つて、アドレス信号 A_0 に対するアドレスバッファ回路は、Pチャンネル型MOSFET Q_{100} ないし Q_{101} とNチャンネル型MOSFET Q_{102} ないし Q_{103} によつて構成されている。

また、上記アドレスバッファ回路と同様に上記排他論理和回路及び上記OR回路も、スタティック型回路で構成されている。

特に制限されないが上記OR回路は、第1F図に示されているようなCMOS回路によつて構成されている。すなわち、MOSFET Q_{116} ないし Q_{118} によつてスタティック型のOR回路が構成されている。

第1B図に示されているタイミング発生回路は、スタティック型回路によつて構成された2つのパルス幅伸長回路と、内部タイミング信号発生回路とからなり、上記エツジトリガパルス ϕ_{apd} を

受けて、このROMを動作させるのに必要な各種タイミング信号を形成する。同図においては、説明を簡単にするために、ROMを動作させるのに主要なタイミング信号のみが示されている。また、第1D図に上記主要なタイミング信号のうち、タイミング信号 ϕ_{xs} 、 ϕ_{PCS} 、 ϕ_{x} 、 ϕ_{PC} 、 ϕ_{PA1} 、 ϕ_{PA2} 、 ϕ_{L} 、 ϕ_{S} 及び ϕ_{HZ} の波形が示されている。同図においては、図面を簡単にするために、プリチャージ信号 ϕ_{PC} 及びタイミング信号 ϕ_{S} は、省略されているが、これらのタイミング信号 ϕ_{PC} 、 ϕ_{S} は、上記タイミング信号 ϕ_{PC} 、 ϕ_{S} がそれぞれ位相反転された信号である。

上記2つのパルス幅伸長回路のうち、一方のパルス伸長回路は、プリチャージパルス ϕ_{PC} と、それに対して位相反転されたタイミング信号 ϕ_{PC} 及び、上記内部タイミング信号発生回路から、上記各種タイミング信号を発生させるためには必要な基準信号 ϕ_{PCS} を形成する。この基準信号 ϕ_{PCS} は、このパルス幅伸長回路によつて上記エツジトリガパルス ϕ_{apd} のパルス幅が伸長された信号であつて、ある所定のパルス幅に調整されている。また上記タイミング信号 ϕ_{PC} は、上記基準信号 ϕ_{PCS} の立下りに同期して、立下る信号である。従つて、上記プリチャージ信号 ϕ_{PC} は、上記基準信号 ϕ_{PCS} の立下りに同期して立上ることになる。上述したメモリアレイのデータ線のプリチャージ及びセンスアンプのプリチャージは、上記プリチャージ信号 ϕ_{PC} がロウレベルのときに行なわれる。従つて、プリチャージの時間は、上記エツジトリガパルス ϕ_{apd} のパルス幅を伸長させることにより形成された上記信号によつて規定されることになる。このパルス幅伸長動作は、例えば遅延回路と、論理ゲート回路との組合せにより実現できるものである。

他方のパルス幅伸長回路は、ワード線選択タイミング信号 ϕ_{x} と、上記基準信号 ϕ_{PCS} と同様に、内部タイミング信号発生回路から上述した各種タイミング信号を発生させるために必要な基準信号 ϕ_{XS} を形成する。この基準信号 ϕ_{XS} は、上記基準信号 ϕ_{PCS} と同様に、上記エツジトリガパルス ϕ_{apd} のパルス幅を伸長させて形成された信号であつて、そのパルス幅は、ワード線をメモリスルを選択レベルに立上げるのに要する時間に調整される。

内部タイミング信号発生回路は、上述した2つ

の基準信号 ϕ_{PC5} と ϕ_{XS} とを受けて、第1D図に示すタイミング信号 ϕ_s 、 ϕ_{PA1} 、 ϕ_{PA2} 、 ϕ_{H} 及び ϕ_{H2} 等を形成する。これらのタイミング信号は、以下の説明において使われるので、これらのタイミング信号の働きは、後の説明で明確になる。

このように、ROMを動作させるのに重要なタイミング信号を別々のパルス幅伸長回路で形成するようにしたことにより、重要なタイミング信号の設定を別々行なうことができ、設計が容易になるとともに以下に述べるような利点がある。

すなわち、別々のパルス幅伸長回路からプリチャージ期間を規定している基準信号 ϕ_{PC5} と、ワード線をメモリセルの選択レベルにするために必要な時間を規定している基準信号 ϕ_{XS} とが内部タイミング信号発生回路に供給されるため、この2つの基準信号をもとに読み出しタイミングを決めれば、誤動作することなく、常に正確な読み出しを行なうことができる。つまり、上記2つの基準信号のうち、立ち下りの遅い方の基準信号にもとずいて、読み出し動作に必要なタイミング信号、例えば、センスアンプを活性化させるタイミング信号 ϕ_{PA1} の発生タイミングを決めるようにすれば、タイミング信号 ϕ_{PA1} が、発生される時点には、プリチャージが終わっており、しかもワード線は、メモリセルの選択レベルまで立ち上っていることになる。従つて、この時点で、センスアンプを動作させれば、所望のメモリセルから正確な情報を読み出すことができる。しかも、どちらの基準信号が遅く立ち下がったかは、比較的簡単な論理回路により検出することができる。

特に制限されないが、この実施例においては、消費電力を少なくするために、センスアンプを活性化させるためのタイミング信号 ϕ_{PA1} に同期したタイミング信号 ϕ_a により、プリチャージ信号 ϕ_{PC} の立ち下がりが制御されるようになっていく。すなわち、メモリセルからの情報の増幅が終わった時点で、データ線及びセンスアンプ等へのプリチャージが始まるようにされている。例えば、センスアンプでメモリセルからの情報を増幅した後、プリチャージしないでおくと、選択されなかったメモリセルが結合されたデータ線の浮遊容量の電荷が時間の経過とともにリークされてしまう。この放電されてしまったデータ線の浮遊容量を再びプリチャージするには、比較的大きな電力を要す

る。そのため、この実施例においては、上述したようにセンスアンプでメモリセルの情報を増幅した後、すぐにデータ線の浮遊容量(寄生容量)をプリチャージするようにしている。

また、後で詳しくするが、この実施例においては、ROMの低消費電力化を図るために、メモリセルの情報がデータ線に伝達された後、ワード線のレベルがメモリセルの非選択レベルになるようにされている。具体的には、第1B図に示されているように、ワード線選択タイミング信号 ϕ_{XA} が、センスアンプを活性化するための信号 ϕ_{PA1} によつて制御されるゲート回路を介して出力されるようにされている。このようにすることにより、センスアンプが動作し始めると、全てのワード線のレベルがメモリセルの非選択レベルにされる。

第2A図には、上記メモリアレイ及びセンスアンプの具体的一実施例の回路図が示されている。

特に制限されないが、この実施例は、第2A図に示すように、各回路がCMOS回路で構成されている。

第2A図には、例えばメモリアレイM-ARY₃、M-ARY₄のように、センスアンプの右側に配置されたメモリアレイの具体的回路図が示されている。したがって、縦方向にW₅₁₂ないしW₁₀₂₄の512本のワード線が形成され、上記のメモリアレイM-ARY₃、M-ARY₄に共通に用いられる。一方、ブラックボックスで示された左側のメモリアレイに対しては、同様にW₀ないしW₅₁₁の512本のワード線が形成されている。

また、同図において、メモリアレイには、横方向に接地線Gと、データ線DLが交互に配置されている。特に制限されないが、第1番目には接地線G₀が形成され、第2番目はデータ線DL₀が形成されている。以下、同様に接地線G₁、データ線DL₁のように接地線とデータ線が交互に配置されている。

上記ワード線とデータ線の交差部分にそれぞれ記憶用MOSFETM₀〜M₆等が形成される。

すなわち、上記記憶用MOSFETは、nチャネル型とされ、そのゲートが対応するワード線に接続され、そのドレインが対応するデータ線に接続され、そのソースが対応する接地線に接続されている。したがって、端部の接地線G₀を除き、例えば、1つのデータ線DL₀及び接地線G₁には、

同一ワード線 W_{i12} に対してそれぞれ異なる記憶用MOSFET M_{0i} 、 M_{1i} 及び M_{2i} のドレイン及びソースが共通に接続されている。特に制限されないが、これらの接地線、データ線は、記憶用MOSFETのソース及びドレインを構成する半導領域と一体的に形成された半導体領域を利用することによって、高集積度アレイを実現している。

上記データ線 DL_0 ないし DL_7 の8本が1組とされ、カラムスイッチを構成するpチャネルMOSFET S_0 ないし S_{11} を通して共通化され、センスアンプ SA_0 の一方の入力端子に接続される。上記カラムスイッチは、4本のデータ線を選択するMOSFET S_0 ないし S_{11} と、それぞれについて2本のデータ線を選択するMOSFET S_2 ないし S_7 との直列回路で構成され、例えばMOSFET S_2 と S_0 をオンさせるとデータ線 DL_0 が選ばれる。このように、カラムスイッチは、カラムアドレスのデコード機能を持っている。

また、各接地線及びデータ線には、第1B図及び第1D図で述べたプリチャージ信号 $\overline{\phi_{ps}}$ を受ける代表として示されたpチャネルMOSFET P_0 ないし P_7 が電源電圧 V_{cc} との間に設けられる。そして、代表として示されている各接地線 G_0 ないし G_7 にはそれぞれ接地電位との間に、デイスチャージ用nチャネルMOSFET D_0 ないし D_7 が設けられる。これらのMOSFET D_0 ないし D_7 等のゲートには、カラムアドレスに従った1/8の選択信号 ϕ_{s0} ないし ϕ_{s7} が上記第1D図に示したタイミング信号 ϕ_s に同期して印加される。すなわち、タイミング信号 ϕ_s がハイレベルのときに、1/8の選択信号 S_0 ないし S_7 が各デイスチャージ用NチャネルMOSFETに印加される。これにより、それぞれのプリチャージ/デイスチャージ群PDSiのそれぞれのデイスチャージ用MOSFET D_n の内から1つのデイスチャージ用MOSFETが選ばれ、オン状態にされ、他のデイスチャージ用MOSFETはオフ状態のままにされる。

今、データ線 DL_0 を選択して、MOSFET D_0 をオンさせて接地線 G_0 を選ぶと、記憶用MOSFET M_{0i} の行が選ばれる。上記MOSFET D_0 に換え D_1 をオンさせると、データ線 DL_0 には、記憶用MOSFET M_{1i} の行が選ばれる。

また、上記データ線 DL と対応する接地線との間には、ダミーセルを構成する2つのMOSFET

が直列形態に設けられる。

すなわち、データ線 DL_0 について見ると、接地線 G_0 に対してダミーMOSFET DC_{01} 、 DC_{02} が接地線 G_1 に対してダミーMOSFET DC_{03} 、 DC_{04} がそれぞれ設けられている。また、高しきい値電圧のMOSFETが、それぞれのダミーMOSFETに対して並列に設けられている。

これにより、ワード線に接続されるMOSFETの数と、ダミーワード線に接続されるMOSFETとの総数を等しくすることができる。このようにすることにより、ワード線とダミーワード線との負荷容量を同じくし、その選択レベルへの立ち上りを等しくしている。

上記ダミーセルを構成する直列形態のMOSFET DC_{01} 、 DC_{02} 等は、それぞれ記憶用MOSFETと同一サイズのMOSFETで構成されるとともに、選択されたときにオン状態になるように形成されている。したがって、選択されたダミーMOSFETの合成コンダクタンスは、上記選択されたときにオン状態となる記憶用MOSFETのコンダクタンスのほぼ1/2となる。

これに対して選択される記憶用MOSFETにオフ状態になるような情報が書き込まれているときには、ダミーMOSFETの合成コンダクタンスが、上記選択された記憶用MOSFETのそれよりも大きな値になる。

なお、デイスチャージMOSFET D_0 ないし D_7 等は、選択しないデータ線のデイスチャージを禁止して、無駄な消費電流が発生することを防止している。これらのMOSFET D_0 ないし D_7 等は、それがオン状態のときのコンダクタンスがオン状態の記憶用MOSFETのそれに比べて十分大きくなるように、そのサイズが設定される。

このため、データ線のデイスチャージ時定数はほぼ、記憶用MOSFETと、ダミーMOSFETとのコンダクタンスに従って決定される。

またダミーセルを構成する上記MOSFETは、記憶用MOSFETと同時に形成することができるため、製造工程が増えることは無い。しかも、同時に形成することにより、例えば製造条件のパラッキ等によって、記憶用MOSFETの特性、例えばコンダクタンスに変化が生じた場合、上記ダミーMOSFETにも同様な特性の変化が生じる。このため、製造条件のパラッキ等に影響されること

なく、ダミーMOSFETの合成コンダクタンスを選択によりオンする記憶用MOSFETのコンダクタンスのほぼ1/2にできる。従つて歩留りの高いメモリを製造することができる。

次に、ダミーセルの選択方法について述べる。ダミーセルの選択には、前述したように、ロウ系アドレス信号の最上位アドレス信号 A_n と、前記選択信号 ϕ_{s0} ないし ϕ_{s1} を形成するときに使われたカラムアドレス信号のうち最下位のアドレス信号 A_0 が使われる。すなわち、最上位アドレス信号 A_n は、左右いずれのメモリアレイからダミーセルを選択するかを決めるのに使われる。そして、最下位アドレス信号 A_0 は、データ線に対して、上側のダミーセルを選択するか、上記データ線に対して、下側のダミーセルを選択するかを決めるために使われる。なお、この最下位アドレス信号 A_0 は、上記選択信号 $\phi_{s0} \sim \phi_{s1}$ において、データ線に対して、上側の接地線に結合されたデイスチャージ用MOSFETをオン状態にするか、上記データ線に対して、下側の接地線に結合されたデイスチャージ用MOSFETをオン状態にするかを決めているアドレス信号である。

実際には、上記2つのアドレス信号とワード線選択タイミング信号 ϕ_x とをデコードすることにより、4種類のダミーワード線駆動信号 ϕ_{a0} 、 ϕ_{a1} 、 ϕ_{a2} 、 ϕ_{a3} を形成する。そして、例えば、右側のメモリアレイからメモリアルセルの情報をセンスアンプに取り出す際には、左側のメモリアレイから対応するダミーセルを上記駆動信号によつて選び、基準電圧を上記センスアンプに供給するようにする。

なお、記憶用MOSFETへの情報の書き込みは、特に制限されないが、記憶用MOSFETのチャネルが形成される領域へイオン打込みを行なうか、行なわないかによつて行なわれる。例えば、記憶用MOSFETのチャネル型に対して逆導電型の不純物イオンを打込むか、又は打込まないかによつて、記憶用MOSFETに2値信号の“1”又は“0”を書き込むことができる。この場合、イオン打込みによつて、記憶用MOSFETのしきい値電圧が高くなつた状態が、2値信号の“1”に対応し、イオン打込みをせずに、記憶用MOSFETのしきい値電圧が低い値に保持されている状態が2値信号の“0”に対応している。

読み出し動作は、記憶用MOSFETが選択されたとき、そのゲート・ソース間に印加される電圧によつて、その記憶用MOSFETがオンするか、又はオフするかを検出することにより行なわれる。言い換えるならば、選択された記憶用MOSFETのコンダクタンスが、大きいか、小さいかを検出することにより読み出し動作が行なわれる。この大小の検出を行なうための基準が、上記ダミーセルによつて形成される。

上記8本のデータ線に関連して設けられたメモリアルセル群 MC_0 、ダミーセル群 DC_0 、カラムスイッチ CW_0 及びブリチャージ/デイスチャージスイッチ群 PGS_0 が1組とされ、次に説明する1つのセンスアンプ SA_0 及びメインアンプ MA_0 に対応している。したがつて、各メモリアレイ $M-ARY_0$ ないし $M-ARY_1$ には、上記19組のアレイと19個のセンスアンプ及びメインアンプが設けられることになる。

センスアンプ SA_0 は、上記左右のメモリアレイの対応するデータ線からの読み出し信号を受けるダイナミック型差動増幅回路により構成される。

pチャネルMOSFET $Q_1(Q_2)$ とnチャネルMOSFET $Q_3(Q_4)$ で構成された2つのCMOSインバータによつてラッチ回路が構成され、その接地電位側にパワースイッチとしてのnチャネルMOSFET Q_5 を設けることにより、ダイナミック型回路とされる。また、このセンスアンプ側から上記データ線へのブリチャージを助けるため、上記MOSFET Q_3 、 Q_4 の通常の動作状態でソースとされる共通電極と電源電圧 V_{cc} との間に、pチャネルMOSFET Q_6 が設けられる。上記MOSFET Q_5 、 Q_6 のゲートには、センスアンプを活性化するためのタイミング信号 ϕ_{p1} が共通に印加されている。

上記センスアンプ SA_0 の両入出力端子間にはブリチャージレベルを等しくするためのpチャネルMOSFET Q_7 が設けられ、上記ブリチャージ信号 ϕ_{pc} がそのゲートに印加されている。

上記センスアンプ SA_0 の増幅出力信号は、上記タイミング信号 ϕ_{p2} によつて制御されるnチャネル伝送ゲートMOSFET Q_8 、 Q_9 を通して、メインアンプ MA_0 の入出力端子に伝えられる。このメインアンプ MA_0 の一对の入出力端子には、pチャネルMOSFET Q_{10} 、 Q_{11} で構成されたブリ

15

チャージMOSFETと、両者のブリチャージレベルを等しくする上記同様なpチャンネルMOSFET Q_{12} が設けられている。これらのMOSFET Q_{10} ないし Q_{12} のゲートには、上述したタイミング信号 ϕ_5 が印加されている。

このメインアンプMAも上記センスアンプSAと同様なMOSFET Q_{13} ないし Q_{15} により構成され、一方の出力信号、すなわち、ノードNB₀からの出力信号がpチャンネルMOSFET Q_{13} とnチャンネルMOSFET Q_{15} で構成されたインバータを通して、出力信号BL₀を形成する。このインバータの接地側に設けられたnチャンネルMOSFET Q_{21} のゲートと上記差動回路の活性化を制御するMOSFET Q_{19} のゲートには、上記したタイミング信号 ϕ_6 が印加されている。このタイミング信号 ϕ_6 がハイレベルの期間、上記差動回路は、センスアンプから送られてきた信号を増幅して、ラッチする。すなわち、スタティックな出力信号BL₀がセンスアンプMAから出力される。

なお、上記メインアンプにおいて、pチャンネルMOSFET Q_{17} は、前述したセンスアンプにおけるMOSFET Q_5 と同様の働きをする。すなわち、センスアンプ等へのブリチャージを行なっているとき、タイミング信号 ϕ_6 はロウレベルとされる。このため、このときMOSFET Q_{17} がオン状態となり、このMOSFETからもメインアンプ等へのブリチャージが行なわれるようになり、ブリチャージの高速化が図れる。

また、このメインアンプへのブリチャージのとき、上記タイミング信号 ϕ_6 はロウレベルとされる。このため、上記MOSFET Q_{21} はオフ状態となる。また、ブリチャージにより、ノードNB₀もハイレベルとなるため、MOSFET Q_{19} もオフ状態となる。このため、メインアンプがブリチャージされる前に、インバータから出力されていた出力信号BL₀のレベルが、この出力信号ラインの浮遊容量（寄生容量）及びMOSFET Q_{13} 、 Q_{15} の浮遊容量（寄生容量）に保持されることになる。従って、メインアンプがブリチャージされているときも、インバータからは、ブリチャージされる前の出力信号が出力されることになる。

上記各メインアンプから出力された読出し出力信号BL₀は、それぞれ第2C図に示されているよ

16

うなインバータIVに供給され、上記出力信号BL₀に対して位相反転された $\overline{D_0}$ と、上記出力信号BL₀に対応した信号 D_0 とにされて、次段のECC回路に供給される。なお、このインバータIVとしては、例えば、第1G図に示されているようなCMOS回路によつて構成されたスタティック型のインバータが使われる。

第3図には、Xデコードの一実施例の具体的回路図が示されている。

この実施例では、1本のワード線を選択するために、3段階に分けて、その選択信号が形成される。このように3段階に分けたのは、まず第1に、ICチップ内で無駄な空白部分が生じないようにすることにある。つまり、多数のMOSFETから構成されることによつて比較的大きな面積を有するNANDゲートの横方向の配列間隔（ピッチ）を、メモリアレイのワード線配列ピッチに合せることにある。また、第2には、1つのアドレス信号線の有する負荷を軽くして、そのスイッチングスピードを向上させることにある。

したがつて、上位アドレス信号 a_4 、 $\overline{a_4}$ ないし a_5 、 $\overline{a_5}$ を受けるpチャンネルMOSFET Q_{30} ないし Q_{32} 及びnチャンネルMOSFET Q_{36} ないし Q_{38} により、8本分ワード線選択信号を形成する。そして、中位2ビットのアドレス信号 a_2 、 $\overline{a_2}$ で形成された1/4選択デコード信号 a_{00} ないし $\overline{a_{11}}$ と、上記デコード出力をインバータIV₁で反転した信号を受けるpチャンネルMOSFET Q_{22} 、 Q_{24} 及びnチャンネルMOSFET Q_{44} 、 Q_{46} により、4本分のワード線選択信号を形成する。この4本分のワード線選択信号は、インバータ形態のpチャンネルMOSFET Q_{48} とnチャンネルMOSFET Q_{47} からなるワード線駆動回路のゲート入力にそれぞれ印加される。

また、下位2ビットのアドレス信号 a_0 、 $\overline{a_1}$ と、ワード線選択タイミング信号 ϕ_x とで、ワード線選択タイミングに同期して形成される4つのワード線選択タイミング信号 ϕ_{w0} ないし ϕ_{w3} が、上記駆動回路のpチャンネルMOSFET Q_{48} 等のドレインに伝えられる。

したがつて、アドレス信号 a_0 ないし $\overline{a_5}$ がすべて“0”のとき、言い換えれば $\overline{a_0}$ ないし $\overline{a_5}$ がすべて“1”のときに、ワード線選択タイミング信号 ϕ_x に同期して、ワード線W₀をハイレベルに立ち上

らせることができる。

また、各ワード線には、特に制限されないが、ドライバーに対して反対側に非選択のワード線の電位を回路の接地電位にするためのNチャンネルMOSFETが接続され、各MOSFETのゲートには、それに対応する駆動回路に供給されるワード線選択タイミング信号 ϕ_{wj} ($j=0, 1, \dots, j=0, 1$) に対して位相反転された信号が供給される。例えば、駆動回路DV₀が結合されたワード線W₀には、タイミング信号 ϕ_{W0} がそのゲートに印加されるMOSFETQ₁₇₀が結合される。このようにすることにより、非選択のワード線、例えば、W₁の電位は、MOSFETQ₁₈及びQ₁₇₁によって接地電位にされるため、ワード線の多重選択を防止することができる。なお、タイミング信号 ϕ_{wj} に対して位相反転された信号は、例えば、タイミング信号 ϕ_{wj} をインバータにより位相反転させれば簡単にられる。

第4図には、カラムスイッチを選択するY₁デコードの一実施例の回路図が示されている。

この実施例のデコードは、第2A図に示したカラムスイッチCW₀のMOSFETS₀ないしS₁₁を選択するデコード信号 y_{00} ないし y_{11} を形成する。

並列形態とされたpチャンネルMOSFETQ₅₁, Q₅₂と、直列形態とされたnチャンネルMOSFETQ₅₃, Q₅₄とにより、2入力のNANDゲートが構成され、例えば上記デコード信号 y_{00} を形成する場合には、アドレス信号 a_{12} , a_{13} がその入力に印加される。上記並列形態のMOSFETQ₅₁, Q₅₂に対して直列にpチャンネルMOSFETQ₅₀が設けられ、上記直列形態とされたMOSFETQ₅₃, Q₅₄に対して並列にnチャンネルMOSFETQ₅₂が設けられ、これらのMOSFETQ₅₀, Q₅₂のゲートには、第1D図に示したタイミング信号 ϕ_{pc} が印加されている。

上記論理ゲートの出力は、インバータIV₂, IV₃を通して上記デコード信号 y_{00} とされる。

上記カラムスイッチCW₀のMOSFETS₀ないしS₁を選択するデコード信号 y_{00} , y_{11} についても、1ビットのYアドレス信号と上記タイミング信号 ϕ_{pc} とにより上記同様なデコードによって形成される。

したがって、Yアドレス信号に無関係に、プリチャージ期間には、上記タイミング信号 ϕ_{pc} がハ

イレベルとなつて、そのデコード出力をすべてロウレベルにする。これにより、pチャンネルMOSFETで構成されたカラムスイッチは、すべてオンするものとなる。したがって、第2A図において、データ線DLへのプリチャージは、上記プリチャージMOSFETP₀ないしP₃等のオンによるプリチャージとともに、このプリチャージ動作によりオンするセンスアンプSA₀のnチャンネルMOSFETQ₃, Q₄のオンとともに、pチャンネルMOSFETQ₅のオンにより、センスアンプ側からもデータ線DLへのプリチャージを行なわせることによつて、プリチャージ期間の短縮化を図ることができる。

第5図には、第1A図におけるECC回路の一実施例の概略図が示されている。

論理演算回路は、上記ROMからの38ビットの読出し信号D₀, D₁ないしD₃₇, D₃₇を受け、所定の組み合わせの排他的論理和により、誤りビットを指定するシンドロームS₀ないしS₇を形成する。例えば、第6図に示すような検査マトリックスに基づいて上記排他的論理和の組み合わせが決定されるとともに、書き込みデータWのパリティビットBP₀ないしBP₃が決定される。

例えば、上記書き込みデータWのデータビットB₀ないしB₃₁に同図に示すように“1”と“0”を書き込む場合、そのパリティビットBP₀は、上記検査マトリックスのシンドロームS₀に着目し、その行において“1”の立っているビットに対応した上記書き込みデータ間で排他的論理和をとり、この排他的論理和が“0”になるように、パリティビットBP₀の値が決められる。上記データでは、データビットB₀ないしB₄, B₁₄ないしB₂₁及びB₂₈ないしB₃₀の間で排他的論理和がとられる。この場合、この排他的論理和は“1”となるため、パリティビットBP₀は“1”とされて、上記データビットとこのパリティビットとの排他的論理和が“0”となるようにされる。

以下、同様にシンドロームS₁ないしS₇の行について同様に排他的論理和が“0”になるように、パリティビットBP₁ないしBP₃が決定される。

このデータの例では、上述のようにして決定されたパリティビットBP₀ないしBP₃は、同図に示すように全て“1”となる。

シンドロームS₀ないしS₇を求める論理式は、次

とソフトのエラーを訂正することのできるよう。

ECC回路においては、その構成が複雑となり、素子数も増加する。またこの場合には、パリティビット（冗長ビット）を大幅に増やさなければならない。

第7図には、前記エッジトリガ又は上記論理演算回路及び誤り訂正に用いられた排他的論理和回路の具体の一実施例回路が示されている。

この実施例では、pチャンネルMOSFET Q_{p1} ないし Q_{p4} 及びnチャンネルMOSFET Q_{n1} ないし Q_{n4} で構成されている。上記MOSFET Q_{p1} 、 Q_{p2} 及びMOSFET Q_{n1} 、 Q_{n2} が直列形態とされ、上記 Q_{p3} 、 Q_{p4} 及びMOSFET Q_{n3} 、 Q_{n4} が直列形態とされている。

上記MOSFET Q_{p2} と Q_{n1} の接続点及びMOSFET Q_{p4} と Q_{n3} の接続点が共通接続され出力OUTを形成する。上記MOSFET Q_{n1} 、 Q_{n2} のゲートには、それぞれ入力信号a、bが印加され、上記MOSFET Q_{n3} 、 Q_{n4} のゲートには、それぞれ入力信号 \bar{a} 、 \bar{b} が印加されている。

また、上記MOSFET Q_{p1} 、 Q_{p4} のゲートには、それぞれ入力信号 \bar{a} 、 \bar{b} が印加され、上記MOSFET Q_{p3} 、 Q_{p2} のゲートには、それぞれ入力信号b、aが印加されている。

今、入力信号a、bが共にハイレベル（“1”）のときには、MOSFET Q_{n1} 、 Q_{n2} がオンして、出力OUTをローレベル（“0”）にする。逆に、入力信号 \bar{a} 、 \bar{b} が共にハイレベルのときには、MOSFET Q_{n3} 、 Q_{n4} がオンして出力OUTを同様にローレベルにする。

そして、入力信号a（又は \bar{a} ）がローレベルで入力信号b（又は \bar{b} ）がローレベルのときには、MOSFET Q_{p3} （又は Q_{p1} ）とMOSFET Q_{p4} （又は Q_{p2} ）がオンして、出力OUTをハイレベルにする。このように、入力信号a、bのレベルが一致したときには出力OUTをローレベルにし、不一致のときには出力OUTをハイレベルにするから排他的論理和動作を行なう。

この実施例回路は、素子数が8個と少なく、かつ電源電圧 V_{cc} と接地電位間で直流電流が流れないから極めて低消費電力になるという利点を有する。

上記ECC回路内の論理演算回路においては、シンドローム S_0 ないし S_3 を形成するために、その内部で前記論理式(1)ないし(6)に示すような論理演

算が行なわれている。すなわち、多数の排他的論理和動作が論理演算回路内で行なわれている。

このため、この排他的論理和動作を行なう論理回路として、第7図に示すような排他的論理和回路を用いることにより、比較的少ない素子数で上記論理演算回路を構成することができるようにするとともに、この論理演算回路での消費電力を比較的小さくすることができる。

また、前記第2A図において、右側のメモリアレイに情報を書込む際、左側のメモリアレイに対して反転した情報を書込むようにすれば、センスアンプ及びメインアンプからの読み出しデータは、左、右いずれの読出しにおいても常に正相出力 $BL_n(\overline{D_n})$ とすることができる。

第8図には、上記メモリアレイの選択された一対のデータ線のそれぞれの電位 V_0 及び $\overline{V_0}$ が、時間とともに変化するようすを示している。

同図において、破線は、ダミーセルが結合されたデータ線の電位変化を示している。また、一点鎖線は、記憶用MOSFETに情報“0”が書込まれているときのデータ線の電位変化を示し、二点鎖線は、上記記憶用MOSFETに情報“1”が書込まれているときのデータ線の電位変化を示している。

センスアンプは、この一対のデータ線間の電圧差を増幅して、メインアンプに伝える。

この場合、前述したように、接地線が選ばれないデータ線においては、上述のようなデイスチャージが行なわれないから、プリチャージレベルが保持されたままとなり、無効消費電流が生じるのを防止することができる。

第9図には、出力マルチプレクサ及び出力バッファの一実施例の具体的回路が示されている。

ECC回路からの出力信号 D_0 ないし D_3 は、次のようなマルチプレクサによつて、8ビットずつが出力バッファに伝えられる。

代表として示されたデータ D_0 について説明すると、このデータ D_0 はインバータ IV_4 を通して、pチャンネルMOSFET Q_{55} とnチャンネルMOSFET Q_{56} のゲートに伝えられる。上記MOSFET Q_{55} と Q_{56} のドレイン出力は、それぞれpチャンネルMOSFET Q_{56} とnチャンネルMOSFET Q_{57} を通して、出力線に接続される。

タイミング信号 ϕ_{00} ないし ϕ_{11} は、特に制限され

ないが、第10図に示すようなアドレスバッファとY₂デコーダとによつて形成される。アドレスバッファは、2つの単位バッファAD₁、AD₂からなり、それぞれの単位バッファは、同じ構成とされるので、同図には、単位バッファAD₁のみについてだけ具体的回路が示されている。単位バッファAD₁は、スタティック型回路で構成されている。すなわち、MOSFETQ_{1,36}ないしQ_{1,37}によつて単位バッファAD₁構成されている。Y₂デコーダも4つの単位デコーダYU₁~YU₄からなり、それぞれが同じ構成にされている。このため同図では、単デコーダYU₁のみが示されている。単位デコーダYU₁は、MOSFETQ_{1,34}ないしQ_{1,35}によつて構成されており、前記第3図で示したXデコーダと異なり、特別なタイミング信号を必要としない回路構成とされている。このため、上記Y₂デコーダは、アドレスバッファから供給されるアドレス信号だけで上記タイミング信号φ₀₀ないしφ₁₁を形成することができる。

上記Y₂デコーダは、アドレス信号a₁₅、 $\overline{a_{15}}$ 、a₁₆、 $\overline{a_{16}}$ を受けて、1/4選択信号を形成する。

今、Yアドレス信号a₁₅、a₁₆が共に“0”ならばタイミング信号φ₀₀がハイレベルとなる。この信号φ₀₀は、第9図において、nチャンネルMOSFETQ_{5,7}と、インバータIV₅を通して反転されてpチャンネルMOSFETQ_{5,6}のゲートに印加される。

したがつて、タイミング信号φ₀₀がハイレベルのとき、これらのMOSFETQ_{5,6}、Q_{5,7}が共にオンするので、上記データD₀が出力線に伝えられ、上記タイミング信号φ₀₀がロウレベルのとき上記MOSFETQ_{5,6}、Q_{5,7}が共にオフするので上記データD₀に無関係にハイインピーダンスとなる。

データD₀からD₇までの8ビットの信号を受ける8個の上記同様な回路が1組とされ、上記タイミング信号φ₀₀によつて制御される。

そして、残りのデータ信号についても、データD₈~D₁₅、D₁₆~D₂₃及びD₂₄~D₃₁のように、8ビットづつが上記同様な回路で構成され、残りのタイミング信号φ₀₁ないしφ₁₁によつて制御される。そして、上記4組の出力線は、対応するビットD₀、D₈、D₁₆、D₂₄のように8ビットおきのデータ間で共通化される。したがつて、出力線の総数は8本とされる。

出力バッファは、上記出力線に応じて設けられた8個の出力回路からなり、その一つが代表として示されている。

この出力バッファは、MOSFETQ_{5,9}ないしQ_{6,6}で構成された2組の2入力NANDゲートと、4つのインバータIV₆ないしIV₉と、nチャンネルMOSFETQ_{6,7}、Q_{6,8}で構成されたプッシュプル出力回路とで構成される。

すなわち、上記マルチプレクサの出力線からの信号を受けるインバータIV₆の出力信号は、MOSFETQ_{5,9}ないしQ_{6,2}で構成されたNANDゲートの一方の入力に印加される。また、上記インバータIV₆の出力信号を受けるインバータIV₇の出力信号は、MOSFETQ_{6,3}ないしQ_{6,4}で構成されたNANDゲートの一方の入力に印加される。そして、これら2組のNANDゲートの他方の入力には、上記タイミング信号φ₀₂が印加されている。上記2つのNANDゲートの出力信号はそれぞれインバータIV₈、IV₉を通して出力MOSFETQ_{6,7}、Q_{6,8}のゲートに伝えられる。

上記タイミング信号φ₀₂は、例えば、前述した基準信号φ₀₀、φ₀₅およびチップ選択信号 \overline{CE} によつて形成され、チップが非選択の期間と、アドレス信号A₀~A₁₄が変化したことにより、新たなデータがメインアンプからECC回路に出力されたことによつて、ECC回路の出力信号が不定になったとき、上記タイミング信号φ₀₂はロウレベルにされる。このタイミング信号φ₀₂がロウレベルにされることによつて、ECC回路からの読み出しデータとは、無関係に、出力MOSFETQ_{6,7}、Q_{6,8}がオフ状態にされる。このため、外部出力端子D_n(n=0~7)はハイインピーダンスとなる。これにより、この実施例の半導体記憶装置を共通データバス方式のシステムに接続させることができるとともに、不定なデータが出力されるのを防止することができる。

次に、この実施例の動作を、第1D図に示した波形図に従つて簡単に説明する。

まず、所望のメモリセルから情報を読み出すために、アドレス信号A₀ないしA₁₄が変化させられる。すると、エツジトリガから、エツジトリガバルスφ_{0,0d}が発生される。

一方のバルス幅伸長回路は、このエツジトリガバルスφ_{0,0d}を受けて、データ線等のプリチャージ

25

時間を規定する基準信号 ϕ_{ps} を形成する。また他方のパルス幅伸長回路は、このエッジトリガパルス ϕ_{pd} の立下りに応答して、ワード線選択タイミング信号 ϕ_x と、ワード線をメモリセルの選択レベルまで立上げるのに要する時間に対応したパルス幅を有する基準信号 ϕ_{xs} を形成する。ワード線選択タイミング信号 ϕ_x が立ち上がることに、

所望のメモリセルが結合されたワード線及びそれに対応したダミーワード線の電位が上昇し始める。
アドレス信号が変化してから、予じめ決められた時間だけ経過すると、すなわち、データ線及びセンスアンプ等のプリチャージに要する時間だけ経過すると、基準信号 ϕ_{ps} が立ち下る。これに

応答して、内部タイミング信号発生回路は、タイミング信号 ϕ_s を立ち上げるとともに、タイミング信号 ϕ_{pc} を立ち下げる。タイミング信号 ϕ_{pc} が立ち下がることにより、データ線およびセンスアンプ等のプリチャージが終了する。これに対して、メインアンプは、タイミング信号 ϕ_s が立ち上がるた

め、プリチャージされ始める。
また、タイミング信号発生回路は、タイミング信号 ϕ_s のハイレベルの立ち上がりについて、タイ

ミング信号 ϕ_{ps} をロウレベルに立ち下げる。これにより、今まで活性化されていた、メインアンプ及びその後段のインバータが不活性状態となり、メインアンプのラッチが解除される。
このため、メインアンプのノードNB_nは、前に出力していた状態からプリチャージに変化する。
また、このタイミング信号 ϕ_s が立ち上がるため、所望のメモリセルが結合された接地線のデイスチャージ用MOSFETと、この所望のメモリセルに対応したダミーセルが結合された接地線のデイスチャージ用MOSFETがオン状態になる。さらにこのとき、タイミング信号 ϕ_{pc} が立ち下がるため、プリチャージのために、全てのデータ線をセンスアンプに結合させていたカラムスイッチが、所望のメモリセルが結合されたデータ線と、それに対応したダミーセルが結合されたデータ線のみをセンスアンプに結合させるように動作する。このため、所望のメモリセルに記憶されていた情報がデータ線の電位変化として、センスアンプの一方の入出力端子に伝わり、このセンスア

26

ンプの他方の入出力端子に、ダミーセルからの基準電圧が伝わるようになる。すなわち、所望のメモリセルが結合されたデータ線DL_nの電位は、同図に示されているように、そのメモリセルに記憶されている情報に従って、変化する。

次に、上記基準信号 ϕ_{xs} が立ち下がる。このときには、所望のメモリセルが結合されたワード線の電位が、メモリセルの選択レベルになつて

いる。
この基準信号 ϕ_{xs} の立ち下がりに応答して、内部タイミング信号発生回路は、タイミング信号 ϕ_s を立ち下げる。これにより、メインアンプへのプリチャージが終了する。

内部タイミング信号発生回路は、このタイミング信号 ϕ_s の立ち下がりに同期して、センスアンプを活性化するためのタイミング信号 ϕ_{pa1} を立ち上げる。これにより、センスアンプが、上記メモリセルが結合されたデータ線と、上記ダミーセルが結合されたデータ線との間の電位差を増幅し始め

る。
また、内部タイミング信号発生回路は、このタイミング信号 ϕ_{pa1} の立ち上がり同期して、ワード線選択信号 ϕ_x を立ち下げる。すなわち、ワード線を非選択レベルにして、低消費電力化を図る。

上記のように、センスアンプが動作し始めることにより、所望のメモリセルが結合されたデータ線DL_nの電位は、同図に示すように、それに記憶されている情報に従って、大きく変化する。

センスアンプによつて、上記1対のデータ線間の電位差が、ある程度増幅されると、内部タイミング信号発生回路は、タイミング信号 ϕ_{pa2} を立ち上げる。これにより、センスアンプの出力信号がメインアンプに伝達される。

このタイミング信号 ϕ_{pa2} の立ち上がりについて、内部タイミング信号発生回路は、タイミング信号 ϕ_{ps} を再びハイレベルに立ち上げる。このタイミング信号 ϕ_{ps} の立ち上がりにより、メインアンプ及びインバータが活性化され、センスアンプから送られてきた上記出力信号を増幅するとともにラッチして、これをECC回路に伝える。従つて、メインアンプのノードNB_nのレベルは、プリチャージレベルから、所望のメモリセルの情報に従ったレベルに変化する。インバータは、その出力ノードの寄生容量に保持していたデータから

新らたなデータを出力するように変化する。

またECC回路は、インバータが古いデータから新たらしいデータを出力するまでに要した時間と、ECC回路自体の遅れ時間とにより、主に決まるある時間の間、不定のデータを出力した後、ECC回路によつて正確に訂正された新しいデータを出力ようになる。

このECC回路が、不定のデータを出力している間、タイミング信号 ϕ_{in} は、ロウレベルとされる。これにより、外部出力端子は、この間、フローティング状態となつている。その後、新しいデータが外部出力端子から出力されるようになる。

また、内部タイミング信号発生回路は、上記タイミング信号 ϕ_{pai} をロウレベルに立ち下げた後、再びタイミング信号 ϕ_{pc} をハイレベルに立ち上げて、再びデータ線、センスアンプ等のプリチャージを始めさせる。

なお、メインアンプが、不活性状態にされてから、再びタイミング信号 ϕ_{in} によつて活性化されるまでの間は、メインアンプの後段の上記インバータによつて前のデータが保持されているため、ECC回路の出力信号 D_n および外部出力端子からの出力信号 DO_n は、前のデータとなつている。

また、タイミング信号 ϕ_s のロウレベルの立ち下げは、基準信号 ϕ_{ps} 又は、基準信号 ϕ_{xs} のいずれか、立ち下りの遅い方によつて規定される。これは、前にも述べたように、読み出し動作を確実にこなうためである。

次に、アドレス信号と、外部出力端子からの出力データ DO_n ($n=0\sim7$) との関係について述べる。第11図には、アドレス信号 $A_0\sim A_{10}$ と、出力データ線 DO_n との関係が示されている。

アドレス信号 $A_0\sim A_{10}$ のいずれか1つのアドレス信号が変化すると、前述したように、32ビットのデータがECC回路から出力されるようになる。特に制限されないが、この実施例においては、この32ビットのデータを4つの組み分けて時分割的に外部出力端子から取り出すことができるようになつている。すなわち、アドレス信号 A_{11} と A_{10} の組み合わせにより、4つの組みのいずれを取り出すかを定めることができるようになつている。

第11図に示されているように、アドレス信号 A_{11} 、 A_{10} の組み合わせを①の状態にすると、外部出力端子からは DO (①)で示されている8ビ

ットのデータを取り出すことができる。これに続いてアドレス信号 A_{11} 、 A_{10} の組み合わせを②の状態にすると、短時間の間に、この状態に従つた DO (②)で示されている8ビットのデータを取り出すことができる。以下、同様にして、短時間で、 DO (③)で示されている8ビットのデータおよび DO (④)で示されている8ビットのデータを取り出すことができる。

このように短時間で、 DO (②)のデータ、 DO (③)のデータ及び DO (④)のデータを取り出すことができる理由は、すでに、データ DO (①①)を取り出すときに、 DO (②)ないし DO (④)のデータがECC回路の出力ノードまで達しているからである。

この実施例によれば、データビット数を多くして、必要なパリティビット数の占める割合を小さくしているので、メモリアレイの実質的な容量を大きくできる。そして、ECC回路の出力データは、マルチプレクサによつて、数回に分けて時分割的に出力するので、出力端子数が増加することはない。これにより、1チップの半導体記憶装置において、そのメモリアレイへの記憶容量が実質的に大きくできるとともに、その欠陥ビットの救済と読出しを効率良く行なうことができる。

そして、メモリアレイから同時に読出す記憶用MOSFETを、前述のようにセンスアンプに対応したブロックに分けてあるので、半導体基板上においてこれらの記憶用MOSFETは分散されることになる。したがつて、半導体基板上において複数ビットにわたつて集中的に発生する欠陥メモリセルがあつても、これらは読出し時に分散されて読出されるので、前記1ビット訂正機能のECC回路を用いるものとしてもこれらを確実に救済することができる。

また、メモリアレイ及びセンスアンプをダイナミック型回路とした場合において、メインアンプを設けることによりECC回路にスタティクな読出しデータ及びパリティ信号が供給されるようになつているので、ECC回路の構成及び動作を簡素化することができる。

さらに、前記実施例のようにスタティク型回路とダイナミック回路とを組合せて記憶装置を構成した場合には、低消費電力化を図りつつ、その外部からの取り扱いを簡便することができる。そ

して、CMOS回路で構成することにより、スタティック型回路での消費電力が小さくできるので、よりつそうの消費電力化を図ることができる。

この発明は、前記実施例に限定されない。

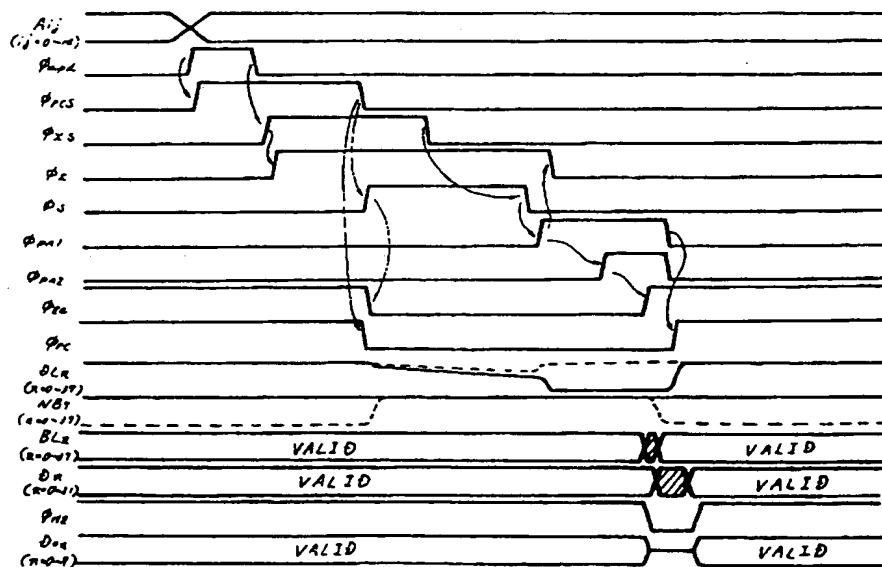
半導体記憶装置にECC回路を内蔵させる場合には、前述したような問題が生じる。したがって、この発明は、上記問題を解決するものとしてECC回路内蔵の半導体記憶装置、例えば、各種の半導ROMの他、半導体RAMに広く利用することができ。

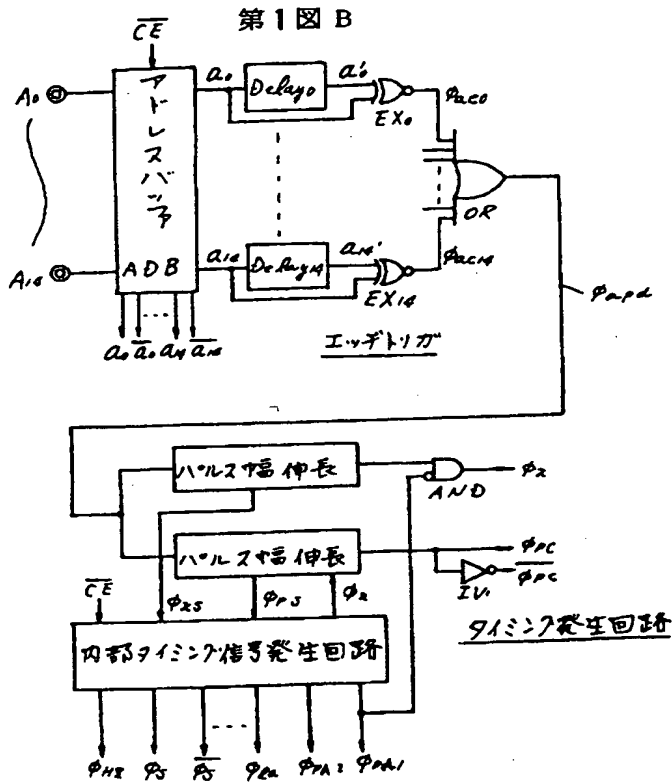
図面の簡単な説明

第1A図は、この発明の一実施例を示すブロック図、第1B図は、そのエッジトリガ及びタイミング発生回路の一実施例を示すブロック図、第1C図は、エッジトリガの動作を説明するためのタイミング図、第1D図は、エッジトリガ及びタイミング発生回路の動作を説明するための波形図、第1E図は、アドレスバッファ回路の一実施例を

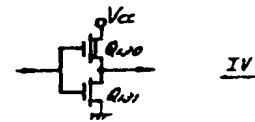
示す回路図、第1F図は、論理和回路の一実施例を示す回路図、第1G図は、インバータ回路の一実施例を示す回路図、第2A図は、メモリアレイ及びセンスアンプの具体的実施例を示す回路図、第2B図は、MOSFETの回路記号を示した図、第2C図は、インバータ回路の一実施例を示す論理記号図、第3図は、Xデコーダの一実施例を示す回路図、第4図は、Y₁デコーダの一実施例を示す回路図、第5図は、ECC回路の一実施例を示す概略図、第6図は、その一実施例を示す検査マトリックスと書込/読出しデータのビットパターン図、第7図は、排他的論理和回路の一実施例を示す回路図、第8図は、読出し動作を説明するためのタイミング図、第9図は、マルチプレクサ及び出力バッファの一実施例を示す回路図、第10図は、Y₂デコーダ及びアドレスバッファ回路の一実施例を示す回路図、第11図は、時分割的に出力データを取り出すことを説明するためのタイミング図である。

第1図D

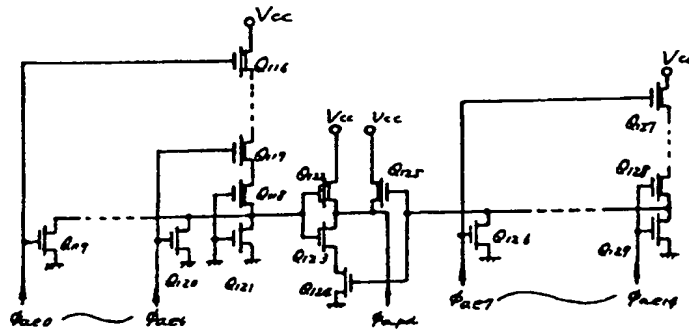




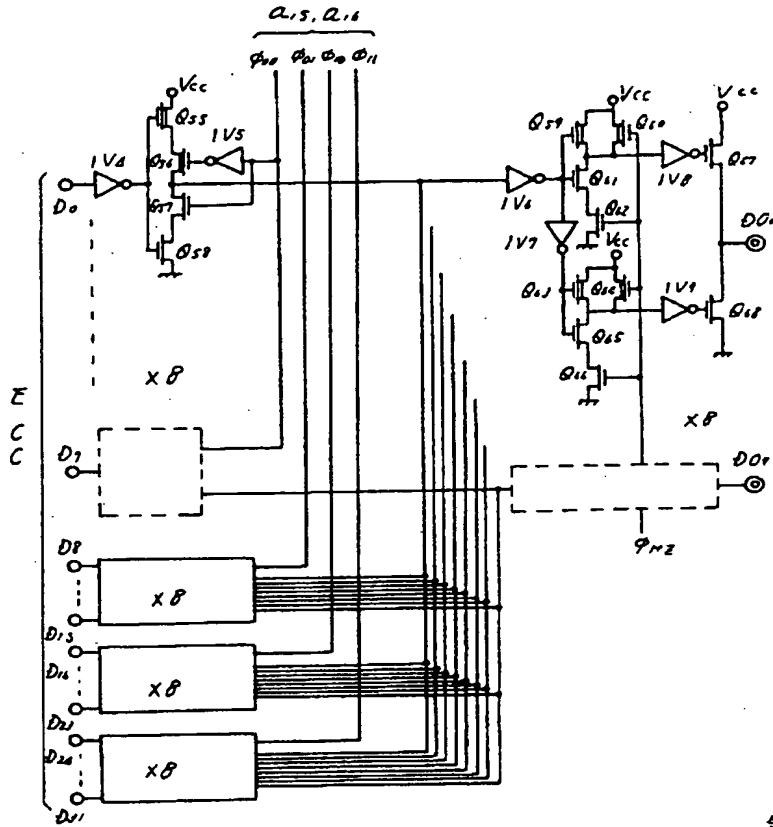
第1図 G



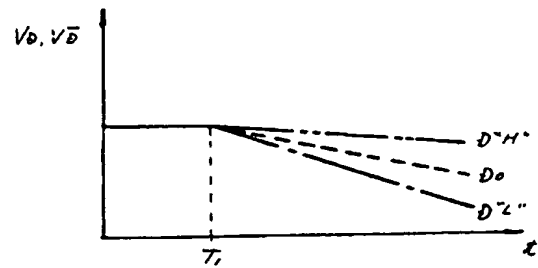
第1図 F



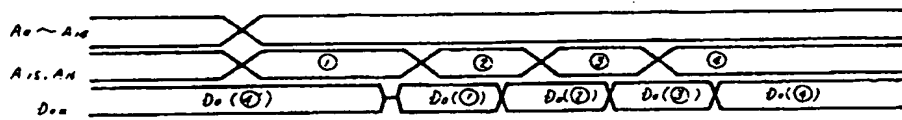
第 9 图



第 8 图



第 11 图



第 10 図

